

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-185412

(43)Date of publication of application : 20.09.1985

(51)Int.Cl.

H03G 11/00

(21)Application number : 59-040895

(71)Applicant : FUJITSU LTD
NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 02.03.1984

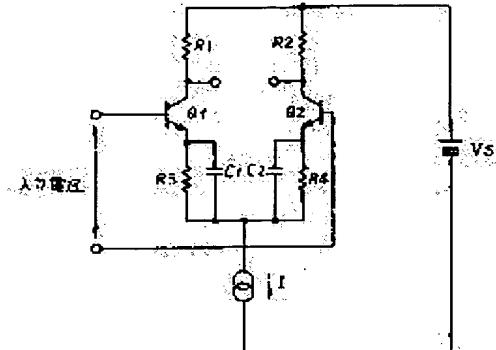
(72)Inventor : SAKAI YOSHIHIRO
YAMAGUCHI KAZUO
KITASAGAMI HIROO
YOSOGI MAMORU
KAMOTO TSUTOMU

(54) AMPLITUDE LIMIT CIRCUIT

(57)Abstract:

PURPOSE: To prevent the phase of an output from being fluctuated due to an input voltage amplitude by inserting a resistor and a capacitor to the emitter of a differential pair.

CONSTITUTION: A parallel circuit comprising a resistor R3 and a capacitor C1 and a parallel circuit comprising a resistor R4 and a capacitor C2 are connected to emitters of transistors (TRs) Q1, Q2 constituting the differential pair. The collectors of the TRs Q1, Q2 are connected to a power supply VS via the resistors R1, R2. Further, resistors R3, R4 are connected to a power supply VS via a constant current source. An input voltage is fed between bases of the TRs Q1, Q2 and an output voltage is obtained between the collectors of the TRs Q1, Q2. The resistors R3, R4 and the capacitors C1, C2 connected to the emitters of the TRs Q1, Q2 give suppressing effect of the phase fluctuation of the output due to the input amplitude.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭60-185412

⑤Int.Cl.
 H 03 G 11/00

識別記号 廣内整理番号
 6964-5J

⑥公開 昭和60年(1985)9月20日

審査請求 有 発明の数 1 (全3頁)

⑦発明の名称 振幅制限回路
 ⑧特願 昭59-40895
 ⑨出願 昭59(1984)3月2日
 ⑩発明者 坂井 良宏 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑪発明者 山口 一雄 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑫発明者 北相模 博夫 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑬発明者 四十木 守 横須賀市武1丁目2365番地 日本電信電話公社横須賀電気通信研究所内
 ⑭発明者 加本 務 厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内
 ⑮出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑯出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
 ⑰代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

振幅制限回路

2. 特許請求の範囲

差動対回路を用いた振幅制限回路において、該差動対のエミッタ側に抵抗と容量を挿入したこととを特徴とする振幅制限回路。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は差動対回路による振幅制限回路に係り、特に入力振幅の大小による出力信号の位相変動を抑圧した振幅制限回路に関する。

(2) 従来技術及び問題点

従来の差動対を用いた振幅制限回路を第1図に、回路の動作を第2図に示す。第1図の回路は、第2図に示す様に差動対の入出力伝達特性の非線形性により、振幅制限の機能を実現している。すなわち入力電力が①→②のように入力振幅が大きくなつても、出力は出力①→②のように入力振幅に制限することができる。

ところが第2図に示すように入力振幅が大きくなると、出力①→②のように出力の位相が進む方向に変動する欠点がある。

尚図において、 Q_1, Q_2 はトランジスタ、 R_1, R_2 は抵抗、 I は定電流源、 V_B は電源電圧である。

(3) 発明の目的

本発明は、この様な欠点を除去し、入力電圧の振幅により出力に位相変動が生じない様にした振幅制限回路を提供することにある。

(4) 発明の構成

この様な本発明の目的は、差動対回路を用いた振幅制限回路において、該差動対のエミッタ側に抵抗と容量を挿入したことを特徴とする振幅制限回路によって達成される。

(5) 発明の実施例

以下本発明を実施例に基づいて詳細に説明する。第3図は、本発明の一実施例を示す図で、図中 C_1, C_2 は容量、 R_3, R_4 は抵抗であり、第1図と同一部材には同一符号を付与している。

本発明においては、差動対を構成するトランジ

トランジスタ Q_1 , Q_2 のエミッタに抵抗 R_3 と容量 C_1 の並列回路及び抵抗 R_4 と容量 C_2 の並列回路を接続した。

そしてトランジスタ Q_1 と Q_2 のベースの間に入力電圧を印加し、トランジスタ Q_1 と Q_2 のコレクタの間に出力電圧を得る。トランジスタ Q_1 と Q_2 のエミッタに接続された抵抗 R_3 , R_4 と容量 C_1 および C_2 により入力振幅の大小による出力の位相変動の抑圧効果を得る。

第4図は第3図の回路における入力振幅-出力信号位相特性の実験結果を定性的に示したものである。

第4図には抵抗 R_3 , R_4 と容量 C_1 および C_2 がない場合を曲線 CV_1 で、(曲線 CV_1) $R_3 = R_4 \neq 0$ で、 $C_1 = C_2$ とし、その容量の値を変化させた場合の、合計4つの場合を示す。

曲線 CV_2 は $C_1 = C_2 = 40\text{PF}$ とし、曲線 CV_3 は $C_1 = C_2 = 20\text{PF}$ とし曲線 CV_4 は $C_1 = C_2 = 10\text{PF}$ とした場合である。

第4図から明らかな様に、抵抗 R_3 , R_4 、容量 C_1 ,

C_2 を追加することにより、出力信号の位相変動が抑圧され、 C_1 , C_2 の値を選ぶことにより位相変動を最小にできる。

第5図に本発明の他の実施例を示す。抵抗 R_1 , R_2 、トランジスタ Q_1 および Q_2 で差動対增幅回路を構成し、抵抗 R_3 , R_4 と容量 C_1 および C_2 で入力振幅の大小による出力信号の位相変動の抑圧効果を得る。これらの回路は第3図に示した回路と同様である。

更にトランジスタ Q_3 , Q_4 と抵抗 R_5 および R_6 でカレントミラー回路を構成し、差動対回路にバイアス電流 I を供給する。抵抗 R_7 は電流 I の大きさを決定する。

(6) 発明の効果

以上の如く、本発明によれば、差動対回路において入力振幅の大小による出力信号の位相変動を抑圧することができるので、振幅制限回路の動作を安定にすることができる。

4. 図面の簡単な説明

第1図は、従来の差動対回路を用いた振幅制限

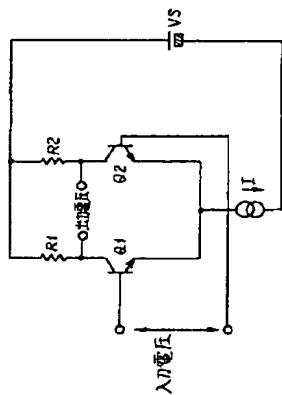
- 3 -

- 4 -

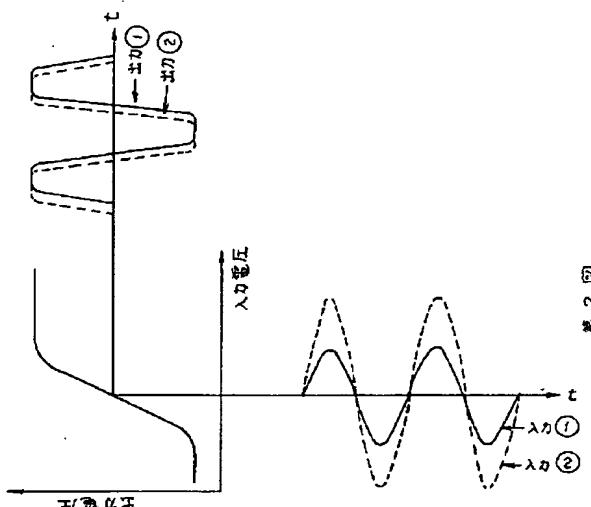
回路を示す図、第2図は従来の回路の動作を説明する図、第3図は本発明の振幅制限回路を示す図、第4図は本発明の効果を説明する図、第5図は本発明の他の実施例を示す図である。

図中 Q_1 ～ Q_4 はトランジスタ、 R_1 ～ R_7 は抵抗、 C_1 , C_2 は容量である。

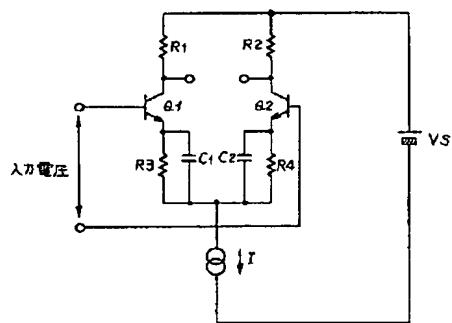
代理人弁理士 松岡宏四郎



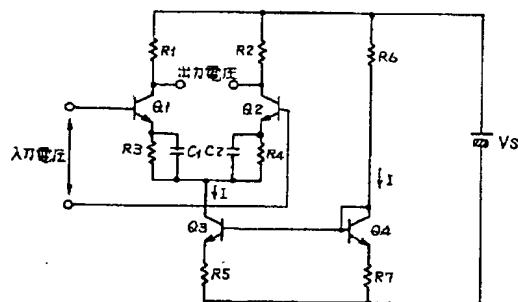
第1図



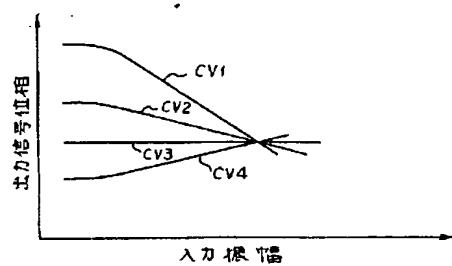
第2図



第3図



第5図



第4図